



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001196539 A**

(43) Date of publication of application: **19.07.01**

(51) Int. Cl. **H01L 27/04**
H01L 21/822
G01R 31/28
G06F 11/22

(21) Application number: 2000003940

(71) Applicant: **SEIKO EPSON CORP**

(22) Date of filing: 12.01.00

(72) Inventor: FUNAZAKI KENJI

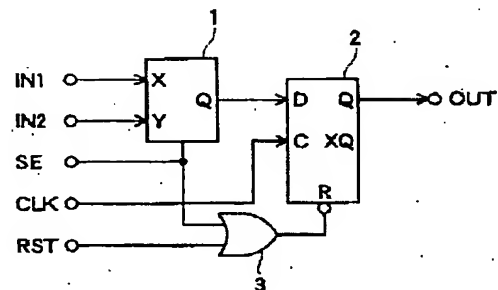
**(54) SCAN FLIP FLOP AND SEMICONDUCTOR
INTEGRATED DEVICE HAVING SCAN FLIP FLOP
INSIDE**

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a scan flip flop, which enables a test device to be designed without user's consideration of the state of reset signal/set signal, in a scan shift operation mode in a test of a semiconductor integrated device.

SOLUTION: The device has a selection circuit 1, where first data and second data are input parallel and one of first and second data is selected and output in accordance with a selection signal, a flip-flop circuit 2 where data output from the selection circuit 1 is held synchronized with a clock signal and output, and the output state is reset/set, in response to reset signal/set signal and a gate circuit 3 which checks application of reset signal/set signal to the flip/flop circuit 2 when a selection signal is in a prescribed state.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-196539

(P2001-196539A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル (参考)
H 0 1 L 27/04		G 0 6 F 11/22	3 6 0 P 2 G 0 3 2
21/822		H 0 1 L 27/04	T 5 B 0 4 8
G 0 1 R 31/28		G 0 1 R 31/28	G 5 F 0 3 8
G 0 6 F 11/22	3 6 0		9 A 0 0 1

審査請求 未請求 請求項の数 8 O L (全 5 頁)

(21) 出願番号 特願2000-3940 (P2000-3940)

(22) 出願日 平成12年1月12日 (2000.1.12)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 松崎 健治

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

Fターム (参考) 2G032 AA01 AC10 AD06 AE07 AG07

AH01 AK16

5B048 AA20 CC18 FF01

5F038 BH19 DF01 DT05 DT06 EZ20

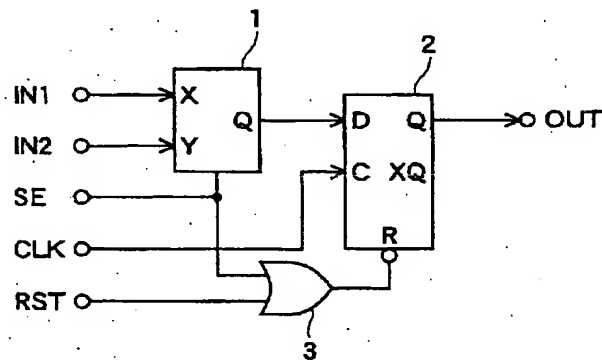
9A001 BB05 KK31 LL05

(54) 【発明の名称】 スキャンフリップフロップ及びこれを内蔵した半導体集積装置

(57) 【要約】

【課題】 半導体集積装置のテストにおいて、ユーザがスキャンシフト動作モードにおけるリセット信号/セット信号の状態を考慮することなくテスト装置を設計することができるスキャンフリップフロップを提供すること。

【解決手段】 第1のデータと第2のデータとが並列に入力され、選択信号に従って第1及び第2のデータの一方を選択して出力する選択回路1と、選択回路1から出力されるデータをクロック信号に同期して保持すると共に出力し、リセット信号/セット信号にตอบสนองして出力状態をリセット/セットするフリップフロップ回路2と、選択信号が所定の状態のときにリセット信号/セット信号がフリップフロップ回路2に印加させるのを阻止するゲート回路3とを具備する。



【特許請求の範囲】

【請求項 1】 第 1 のデータと第 2 のデータとが並列に
入力され、選択信号に従って前記第 1 及び第 2 のデータ
の内の一方を選択して出力する選択回路と、

前記選択回路から出力されるデータをクロック信号に同
期して保持すると共に出力し、リセット信号にตอบสนองして
出力状態をリセットするフリップフロップ回路と、
前記選択信号が所定の状態のときに前記リセット信号が
前記フリップフロップ回路に印加させるのを阻止するゲ
ート回路と、を具備することを特徴とするスキャンフリ
ップフロップ。

【請求項 2】 前記ゲート回路が、前記選択信号を遅延
させる素子と、該素子により遅延された選択信号と前記
リセット信号との論理演算を行う論理回路とを含むこと
を特徴とする請求項 1 記載のスキャンフリップフロッ
プ。

【請求項 3】 第 1 のデータと第 2 のデータとが並列に
入力され、選択信号に従って前記第 1 及び第 2 のデータ
の内の一方を選択して出力する選択回路と、

前記選択回路から出力されるデータをクロック信号に同
期して保持すると共に出力し、セット信号にตอบสนองして出
力状態をセットするフリップフロップ回路と、
前記選択信号が所定の状態のときに前記セット信号が前
記フリップフロップ回路に印加させるのを阻止するゲ
ート回路と、を具備することを特徴とするスキャンフリ
ップフロップ。

【請求項 4】 前記ゲート回路が、前記選択信号を遅延
させる素子と、該素子により遅延された選択信号と前記
セット信号との論理演算を行う論理回路とを含むことを
特徴とする請求項 3 記載のスキャンフリップフロップ。

【請求項 5】 組合せ回路と、前記組合せ回路に接続さ
れると共に互いに直列に接続された複数段のスキャンフ
リップフロップとを有する半導体集積装置であって、前
記複数段のスキャンフリップフロップの内の少なくとも
1 つが、

前記組合せ回路から供給される第 1 のデータと前段のス
キャンフリップフロップから供給される第 2 のデータと
が並列に入力され、スキャンイネーブル信号がアクティ
ブでないときに前記第 1 のデータを選択し、スキャンイ
ネーブル信号がアクティブのときに前記第 2 のデータを
選択して出力する選択回路と、

前記選択回路から出力されるデータをクロック信号に同
期して保持すると共に前記組合せ回路及び次段のスキャ
ンフリップフロップに出力し、リセット信号にตอบสนองして
出力状態をリセットするフリップフロップ回路と、
前記スキャンイネーブル信号がアクティブのときに前記
リセット信号が前記フリップフロップ回路に印加される
のを阻止するゲート回路と、を具備することを特徴とす
る半導体集積装置。

【請求項 6】 前記ゲート回路が、前記スキャンイネー

ブル信号を遅延させる素子と、該素子により遅延された
スキャンイネーブル信号と前記リセット信号との論理演
算を行う論理回路とを含むことを特徴とする請求項 5 記
載の半導体集積装置。

【請求項 7】 組合せ回路と、前記組合せ回路に接続さ
れると共に互いに直列に接続された複数段のスキャンフ
リップフロップとを有する半導体集積装置であって、前
記複数段のスキャンフリップフロップの内の少なくとも
1 つが、

前記組合せ回路から供給される第 1 のデータと前段のス
キャンフリップフロップから供給される第 2 のデータと
が並列に入力され、スキャンイネーブル信号がアクティ
ブでないときに前記第 1 のデータを選択し、スキャンイ
ネーブル信号がアクティブのときに前記第 2 のデータを
選択して出力する選択回路と、

前記選択回路から出力されるデータをクロック信号に同
期して保持すると共に前記組合せ回路及び次段のスキャ
ンフリップフロップに出力し、セット信号にตอบสนองして出
力状態をセットするフリップフロップ回路と、

前記スキャンイネーブル信号がアクティブのときに前記
セット信号が前記フリップフロップ回路に印加されるの
を阻止するゲート回路と、を具備することを特徴とする
半導体集積装置。

【請求項 8】 前記ゲート回路が、前記スキャンイネー
ブル信号を遅延させる素子と、該素子により遅延された
スキャンイネーブル信号と前記セット信号との論理演算
を行う論理回路とを含むことを特徴とする請求項 7 記載
の半導体集積装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、IC や LSI 等の
半導体集積装置のテストにおいて用いられるスキャンフ
リップフロップに関し、さらに、組合せ回路とスキャン
フリップフロップとを内蔵することにより組合せ回路を
容易に検査することができる半導体集積装置に関する。

【0002】

【従来の技術】一般的に、IC や LSI 等の半導体集積
装置においては、テストモードにおいて半導体集積装置
内の組合せ回路に印加される入力データや組合せ回路か
ら読み出される出力データをシリアルに転送するため
に、スキャンセルを用いることがある。なお、本願にお
いて組合せ回路とは、フリップフロップのようにクロッ
ク信号に同期して動作する順序回路を含まない回路であ
って、複数のゲートを組み合わせて構成された回路をい
うものとする。

【0003】複数のスキャンセルを直列に接続してフル
スキャン構成とすることにより、半導体集積装置内の組
合せ回路に任意の信号を与えたり、組合せ回路から出力
される信号を読み出したたりすることが容易にできる。こ
のような動作を行うために、各スキャンセルは、スキャ

ンフリップフロップを有している。

【0004】スキャンフリップフロップは、リセット信号によってリセットされ、又は、セット信号によってセットされる。また、スキャンイネーブル信号によってスキャンシフト動作モードとなる。スキャンシフト動作モードにおいては、シリアルに入力されるデータが、クロック信号に同期して複数のスキャンフリップフロップに順次供給されて保持される。それぞれのスキャンフリップフロップに保持された入力データは、テストのために組合せ回路に印加される。また、テストの結果として組合せ回路から出力されるデータは、クロック信号に同期してそれぞれのスキャンフリップフロップから順次読み出され、シリアル出力データとして出力される。

【0005】

【発明が解決しようとする課題】しかしながら、従来のスキャンフリップフロップにおいては、リセット信号／セット信号の経路とスキャンイネーブル信号の経路とが独立しているため、スキャンシフト動作中にリセット信号／セット信号がアクティブになるとスキャンフリップフロップがリセット／セットされてしまうという問題があった。このため、ユーザは、これらの信号の状態を考慮しながらテスト装置を設計しなければならなかった。また、スキャンシフト動作モードから通常動作モードへの切替時には、テスト装置におけるリセット信号／セット信号とスキャンイネーブル信号とのタイミング誤差により、負論理のリセット信号／セット信号に微小パルスが生じることがあり、スキャンフリップフロップが誤動作するおそれがあった。

【0006】そこで、上記の点に鑑み、本発明の第1の目的は、半導体集積装置のテストにおいて、ユーザがスキャンシフト動作モードにおけるリセット信号／セット信号の状態を考慮することなくテスト装置を設計できるようにすることである。また、本発明の第2の目的は、スキャンシフト動作モードから通常動作モードへの切替時に誤動作することのないスキャンフリップフロップを提供することである。さらに、本発明の第3の目的は、そのようなスキャンフリップフロップを内蔵した半導体集積装置を提供することである。

【0007】

【課題を解決するための手段】以上の課題を解決するため、本発明に係るスキャンフリップフロップは、第1のデータと第2のデータとが並列に入力され、選択信号に従って第1及び第2のデータの内の一方を選択して出力する選択回路と、選択回路から出力されるデータをクロック信号に同期して保持すると共に出力し、リセット信号／セット信号に応答して出力状態をリセット／セットするフリップフロップ回路と、選択信号が所定の状態のときにリセット信号／セット信号がフリップフロップ回路に印加させるのを阻止するゲート回路とを具備する。

【0008】また、本発明に係る半導体集積装置は、組

合せ回路と、この組合せ回路に接続されると共に互いに直列に接続された複数段のスキャンフリップフロップとを有する半導体集積装置であって、複数段のスキャンフリップフロップの内の少なくとも1つが、組合せ回路から供給される第1のデータと前段のスキャンフリップフロップから供給される第2のデータとが並列に入力され、スキャンイネーブル信号がアクティブでないときに第1のデータを選択し、スキャンイネーブル信号がアクティブのときに第2のデータを選択して出力する選択回路と、選択回路から出力されるデータをクロック信号に同期して保持すると共に組合せ回路及び次段のスキャンフリップフロップに出力し、リセット信号／セット信号に応答して出力状態をリセット／セットするフリップフロップ回路と、スキャンイネーブル信号がアクティブのときにリセット信号／セット信号がフリップフロップ回路に印加されるのを阻止するゲート回路とを具備する。

【0009】上記構成によれば、スキャンシフト動作モードにおいてリセット信号／セット信号がフリップフロップ回路に不用意に印加されることがなくなる。従って、ユーザは、スキャンシフト動作モードにおけるリセット信号／セット信号の状態を考慮することなく、テスト装置を設計することができる。

【0010】ここで、上記ゲート回路が、選択信号あるいはスキャンイネーブル信号を遅延させる素子と、該素子により遅延された信号とリセット信号／セット信号との論理演算を行う論理回路とを含むように構成しても良い。その場合には、スキャンシフト動作モードから通常動作モードへの切替時にリセット信号／セット信号に微小パルスが発生しても、スキャンフリップフロップが誤動作することがない。

【0011】

【発明の実施の形態】以下、図面に基いて本発明の実施の形態について説明する。なお、同一の構成要素には同一の参照番号を付して、説明を省略する。

【0012】図1に、本発明の第1の実施形態に係るスキャンフリップフロップの回路構成を示す。このスキャンフリップフロップは、選択回路1を有している。選択回路1は、入力Xと入力Yとにそれぞれ入力される入力データIN1と入力データIN2との内の一方を選択信号SEに従って選択し、出力Qから出力する。選択回路1から出力されたデータは、Dフリップフロップ2のデータ入力Dに供給される。Dフリップフロップ2は、クロック入力Cに入力されるクロック信号CLKに同期してこのデータを保持し、出力Qから出力データOUTとして出力する。

【0013】また、Dフリップフロップ2は、リセット入力Rに入力されるリセット信号RSTに応答して、出力状態をリセットする。本実施形態においては、例として、リセット入力Rが負論理となっている。選択信号SEが所定の状態（この場合はハイレベル）のときにリセ

ット信号RST（この場合はローレベルでアクティブ）がフリップフロップ回路2に印加させるのを阻止するために、ゲート回路としてOR回路3を有している。

【0014】OR回路3の2つの入力には、選択信号SEとリセット信号RSTがそれぞれ入力され、OR回路3の出力は、Dフリップフロップ2のリセット入力Rに接続されている。選択信号SEがハイレベルのときには、リセット信号RSTがローレベルとなっても、Dフリップフロップ2のリセット入力Rがハイレベルに維持される。従って、選択信号SEがハイレベルのときには、Dフリップフロップ2がリセット状態になることはない。

【0015】次に、本発明の第2の実施形態に係るスキャンフリップフロップについて、図2を参照しながら説明する。第2の実施形態は、選択信号SEが、遅延素子としてのバッファ回路4と5を介してOR回路3に供給される点で、第1の実施形態と異なっている。

【0016】これは、選択信号SEがハイレベルからローレベルに変化する瞬間にリセット信号RSTにローレベルの微小パルスが発生しても、この微小パルスがフリップフロップ回路2のリセット入力Rに印加されないようにしたものである。即ち、OR回路3の一方の入力においてリセット信号RSTにローレベルの微小パルスが発生しても、バッファ回路4と5により遅延されたハイレベルの選択信号SEがOR回路3の他方の入力に供給されているので、OR回路3の出力がローレベルとなることはない。従って、選択信号SEの変化時にフリップフロップ回路2が誤ってリセットされることを防止できる。

【0017】次に、本発明の一実施形態に係る半導体集積装置について、図3を参照しながら説明する。

【0018】半導体集積装置10において、入力端子20と出力端子40との間には、直列に接続された複数のスキャンセルが挿入されている。図3においては、例として、第N段のスキャンセル31と、第(N+1)段のスキャンセル32とを示している。さらに、これらのスキャンセルは、組合せ回路50に接続されている。これにより、入力端子20から組合せ回路50に任意の信号を与えたり、組合せ回路50から出力される信号を出力端子40において読み出したりすることができる。このような動作を行うために、各々のスキャンセルは、図1又は図2に示すようなスキャンフリップフロップ30を含んでいる。スキャンフリップフロップ30は、リセット信号RSTによってリセットされる。また、スキャンイネーブル信号SEによってスキャンシフト動作モードとなる。

【0019】スキャンシフト動作モードにおいては、入力端子20からシリアルに入力されるデータSIが、クロック信号CLKに同期して複数のスキャンフリップフロップ30に順次供給されて保持される。それぞれのス

キャンフリップフロップ30に保持された入力データは、テストのために組合せ回路50に印加される。また、テストの結果として組合せ回路50から出力されるデータは、クロック信号に同期して、それぞれのスキャンフリップフロップ30からシリアルデータSOとして順次読み出され、出力端子40から出力される。

【0020】次に、スキャンセル31、32が図1に示すようなスキャンフリップフロップを含む場合の動作について説明する。このスキャンフリップフロップは、図3に示すように、組合せ回路50から供給されるデータを入力データIN1として入力し、前段のスキャンフリップフロップから供給されるデータを入力データIN2として入力する。

【0021】図1のスキャンフリップフロップに含まれる選択回路1は、スキャンイネーブル信号SEがアクティブでないときに入力データIN1を選択し、スキャンイネーブル信号SEがアクティブのときに入力データIN2を選択して出力する。選択回路1から出力されたデータは、Dフリップフロップ2のデータ入力Dに供給される。Dフリップフロップ2は、クロック入力Cに入力されるクロック信号CLKに同期してこのデータを保持し、出力Qから出力データOUTとして組合せ回路50及び次段のスキャンフリップフロップに出力する。

【0022】Dフリップフロップ2は、リセット入力Rに入力されるリセット信号RSTにตอบสนองして、出力状態をリセットする。本実施形態においては、例として、リセット入力Rが負論理となっている。スキャンシフト動作モードにおいてスキャンイネーブル信号SEがアクティブ（この場合はハイレベルでアクティブ）のときに、リセット信号RST（この場合はローレベルでアクティブ）がフリップフロップ回路2に印加させるのを阻止するため、ゲート回路としてOR回路3を有している。

【0023】OR回路3の2つの入力には、スキャンイネーブル信号SEとリセット信号RSTがそれぞれ入力され、OR回路3の出力は、Dフリップフロップ2のリセット入力Rに接続されている。スキャンイネーブル信号SEがハイレベルのときには、リセット信号RSTがローレベルとなっても、Dフリップフロップ2のリセット入力Rがハイレベルに維持される。従って、スキャンイネーブル信号SEがハイレベルのときには、Dフリップフロップ2がリセット状態になることはない。

【0024】また、図3のスキャンセル31、32が図2に示すようなスキャンフリップフロップを有する場合には、次のような利点がある。即ち、スキャンイネーブル信号SEがハイレベルからローレベルに変化する瞬間にリセット信号RSTにローレベルの微小パルスが発生するような場合に、この微小パルスがフリップフロップ回路2のリセット入力Rに印加されるおそれがある。そのような場合でも、バッファ回路4と5により遅延されたハイレベルのスキャンイネーブル信号がOR回路3の

他方の入力に供給されているので、OR回路3の出力がローレベルとなることはない。従って、モード切り換え時にフリップフロップ回路2が誤ってリセットされることを防止できる。

【0025】以上の実施形態においては、Dフリップフロップ2がリセット入力Rに入力されるリセット信号RSTにตอบสนองして出力状態をリセットする場合について説明したが、これに替わって、あるいはこれに併せて、Dフリップフロップ2がセット入力に入力されるセット信号にตอบสนองして出力状態をセットするようにしても良い。この場合において、セット信号と制御信号（スキャンイネーブル信号）SEとの間の調整を行うための回路構成は、リセット信号RSTと制御信号（スキャンイネーブル信号）SEとの間の調整を行うための回路構成と同一で良い。

【0026】

【発明の効果】以上述べた様に、本発明によれば、スキャンシフト動作モードにおいてリセット信号／セット信号がフリップフロップ回路に不用意に印加されることがなくなる。従って、ユーザは、スキャンシフト動作モードにおけるリセット信号／セット信号の状態を考慮することなく、テスト装置を設計することができる。また、

スキャンイネーブル信号を遅延させる遅延素子を設けることにより、スキャンシフト動作モードから通常動作モードへの切換時に、スキャンフリップフロップが誤動作することもない。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るスキャンフリップフロップの回路構成を示す図である。

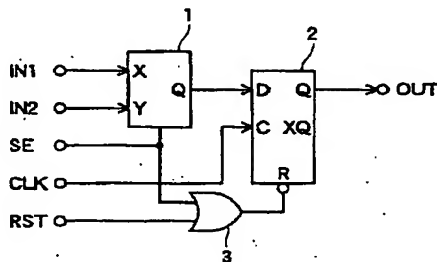
【図2】本発明の第2の実施形態に係るスキャンフリップフロップの回路構成を示す図である。

【図3】本発明の一実施形態に係る半導体集積装置の構成を示す図である。

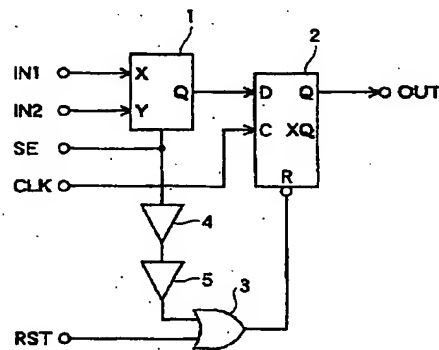
【符号の説明】

- 1 選択回路
- 2 Dフリップフロップ
- 3 OR回路
- 4、5 バッファ回路
- 10 半導体集積装置
- 20 入力端子
- 30 スキャンフリップフロップ
- 31、32 スキャンセル
- 40 出力端子
- 50 組合せ回路

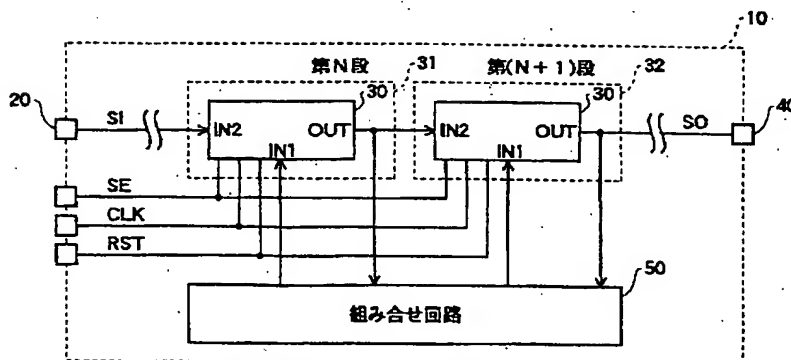
【図1】



【図2】



【図3】



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **59142481 A**(43) Date of publication of application: **15.08.84**

(51) Int. Cl.

G01R 31/28(21) Application number: **58016045**(22) Date of filing: **04.02.83**(71) Applicant: **HITACHI LTD**

(72) Inventor: **MASUDA IKURO**
MAEJIMA HIDEO
HAYASHI TERUMINE
HATAKEYAMA KAZUMI

(54) **INTEGRATED CIRCUIT DEVICE AND ITS
 DIAGNOSTIC METHOD**

(57) Abstract:

PURPOSE: To diagnose a combined logical circuit unit by connecting an input use storing circuit and an output use storing circuit, and diagnosing a combined logical circuit.

CONSTITUTION: For instance, flip-flops F/F11, 31 connected to a two-input NAND circuit 11 attain an input use storing circuit, and a flip-flop F/F23 becomes an output use storing circuit. On the other hand, a flip-flop F/F23, an F/F13, a flip-flops F/F32 and F/F33 for forming a shift register 13, etc. attain an input use storing circuit of a three-input AND gate 12. A flip-flop F/F25 connected to the output side of this gate 12 becomes an output use storing circuit. In this way, the combined logical circuit unit can be diagnosed by write to the input use storing circuit and read-out from the output use storing circuit.

COPYRIGHT: (C)1984,JPO&Japio

